

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-148393
(P2001-148393A)

(43)公開日 平成13年5月29日(2001.5.29)

(51)Int.Cl.⁷
H 0 1 L 21/60

識別記号

F I
H 0 1 L 21/92

テマコト(参考)
6 0 4 A

審査請求 未請求 請求項の数15 O.L (全 7 頁)

(21)出願番号 特願平11-329156

(22)出願日 平成11年11月19日(1999.11.19)

(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 依田 剛
長野県諏訪市大和3丁目3番5号 セイコ
エプソン株式会社内

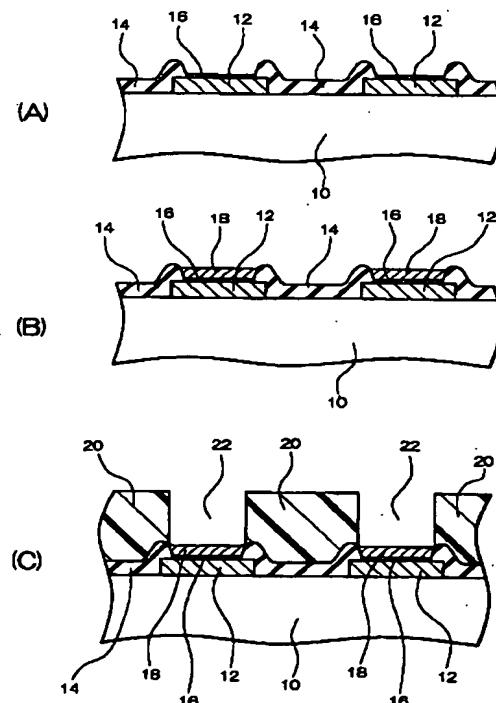
(74)代理人 100090479
弁理士 井上 一 (外2名)

(54)【発明の名称】 バンプの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器

(57)【要約】

【課題】 所望な幅でバンプを形成することができるバ
ンプの形成方法、半導体装置及びその製造方法、回路基
板並びに電子機器を提供することにある。

【解決手段】 バンプの形成方法は、パッド12上に強
アルカリ性の第1の溶液を使用するジンケート処理によ
って金属皮膜16を形成する第1工程と、金属皮膜16
を露出させる貫通穴22が形成されたレジスト層20を
形成する第2工程と、酸性の第2の溶液を使用する無電
解メッキによって貫通穴22内に金属層24を形成する
第3工程と、を含む。



BEST AVAILABLE COPY

(2)

2

前記レジスト層を、アルカリ性の溶液に溶解される物質で形成するバンプの形成方法。

【請求項11】 請求項10記載のバンプの形成方法において、

前記パッドの表面は、アルミニウムからなり、

前記第1工程では、前記第1の溶液を使用して、前記アルミニウムに対するシンケート処理を行って前記金属皮膜を形成するバンプの形成方法。

【請求項12】 請求項1から請求項11のいずれかに記載の方法で、前記金属層を含むバンプを形成する工程を含む半導体装置の製造方法。

【請求項13】 請求項12記載の方法で製造された半導体装置。

【請求項14】 請求項13記載の半導体装置を搭載した回路基板。

【請求項15】 請求項13記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、バンプの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】 従来、半導体チップのA1パッドにバンプを形成するときには、電解メッキを用いてAuなどの金属を形成していた。しかし、電解メッキは下地電極の形成工程やエッチング工程を必要とし、その結果プロセスが煩雑になり、更にコストも高くなる問題があった。そこで、下地電極が必要ない無電解メッキが注目されている。

【0003】 しかしながら、無電解メッキでは、金属が高さ方向のみならず幅方向にも成長する（等方成長する）ため、バンプの幅が、A1パッドの幅を超えてしまい、狭ピッチのA1パッドに対応してバンプを形成することができなかった。

【0004】 本発明は、この問題点を解決するためのものであり、その目的は、所望な幅でバンプを形成することができるバンプの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0005】

【課題を解決するための手段】 (1) 本発明に係るバンプの形成方法は、第1の溶液によりパッド上に金属皮膜を形成する第1工程と、前記金属皮膜の少なくとも一部を露出させる貫通穴が形成されたレジスト層を形成する第2工程と、第2の溶液により、前記貫通穴内に金属層を形成する第3工程と、を少なくとも有する。

【0006】 本発明によれば、パッド上に金属皮膜を形成し、貫通穴内に金属層を形成することで、バンプを形成することができる。金属層は、レジスト層の貫通穴内に形成するので、貫通穴の大きさに応じた形状で、すな

【特許請求の範囲】

【請求項1】 第1の溶液によりパッド上に金属皮膜を形成する第1工程と、

前記金属皮膜の少なくとも一部を露出させる貫通穴が形成されたレジスト層を形成する第2工程と、

第2の溶液により、前記貫通穴内に金属層を形成する第3工程と、

を少なくとも有するバンプの形成方法。

【請求項2】 請求項1記載のバンプの形成方法において、

前記第1の溶液は、前記レジスト層を溶解する特性を有し、前記第2の溶液は、前記第1の溶液と比較して前記レジスト層を溶解しにくい特性を有するバンプの形成方法。

【請求項3】 請求項1又は請求項2記載のバンプの形成方法において、

前記金属皮膜上に下地層を形成した後、前記金属層を形成するバンプの形成方法。

【請求項4】 請求項1から請求項3のいずれかに記載のバンプの形成方法において、前記金属層を、複数の層により形成するバンプの形成方法。

【請求項5】 請求項1から請求項3のいずれかに記載のバンプの形成方法において、

前記金属層を、ニッケル、金、ニッケル及び金の混合物のいずれかにより形成するバンプの形成方法。

【請求項6】 請求項1から請求項5のいずれかに記載のバンプの形成方法において、

前記金属層を、無電解メッキにより形成するバンプの形成方法。

【請求項7】 請求項1から請求項6のいずれかに記載のバンプの形成方法において、

前記貫通穴は、前記パッドの外周を超えない形状で形成されてなるバンプの形成方法。

【請求項8】 請求項7記載のバンプの形成方法において、

前記パッドは、パッシベーション膜によって外周端部が覆われてなり、

前記パッシベーション膜は、前記パッドの中央部上に開口部が形成されてなり、

前記貫通穴を、前記パッドの周縁よりも内側であって、

前記パッシベーション膜の前記開口部よりも外側に形成するバンプの形成方法。

【請求項9】 請求項1から請求項8のいずれかに記載のバンプの形成方法において、

前記レジスト層を除去する第4工程をさらに含むバンプの形成方法。

【請求項10】 請求項1から請求項9のいずれかに記載のバンプの形成方法において、

前記第1の溶液は、前記第2の溶液よりもアルカリ性が高く、

(3)

3

わち所望の幅で形成することができる。

【0007】(2) このバンプの形成方法において、前記第1の溶液は、前記レジスト層を溶解する特性を有し、前記第2の溶液は、前記第1の溶液と比較して前記レジスト層を溶解しにくい特性を有するバンプの形成方法。

【0008】これによれば、第1工程で、レジスト層を溶解する第1の溶液を使用するが、レジスト層は、第1工程が終わってから形成するので、問題が生じない。第3工程では、レジスト層を溶解しにくい第2の溶液を使用するので、貫通穴内に金属層を形成することができる。

【0009】(3) このバンプの形成方法において、前記金属皮膜上に下地層を形成した後、前記金属層を形成してもよい。

【0010】(4) このバンプの形成方法において、前記金属層を、複数の層により形成してもよい。

【0011】(5) このバンプの形成方法において、前記金属層を、ニッケル、金、ニッケル及び金の混合物のいずれかにより形成してもよい。

【0012】(6) このバンプの形成方法において、前記金属層を、無電解メッキにより形成してもよい。

【0013】(7) このバンプの形成方法において、前記貫通穴は、前記パッドの外周を超えない形状で形成されていてもよい。

【0014】こうすることで、パッドの外周を超えないように金属層を形成することができる。したがって、狭ピッチで設けられた複数のパッドのそれぞれに、バンプを形成することができる。

【0015】(8) このバンプの形成方法において、前記パッドは、パッシベーション膜によって外周端部が覆われてなり、前記パッシベーション膜は、前記パッドの中央部上に開口部が形成されてなり、前記貫通穴を、前記パッドの周縁よりも内側であって、前記パッシベーション膜の前記開口部よりも外側に形成してもよい。

【0016】(9) このバンプの形成方法において、前記レジスト層を除去する第4工程をさらに含んでもよい。

【0017】(10) このバンプの形成方法において、前記第1の溶液は、前記第2の溶液よりもアルカリ性が高く、前記レジスト層を、アルカリ性の溶液に溶解される物質で形成してもよい。

【0018】(11) このバンプの形成方法において、前記パッドの表面は、アルミニウムからなり、前記第1の無電解メッキでは、前記第1の溶液を使用して、前記アルミニウムに対するジンケート処理を行ってもよい。

【0019】(12) 本発明に係る半導体装置の製造方法は、上記方法で、前記金属層を含むバンプを形成する工程を含む。

【0020】(13) 本発明に係る半導体装置は、上記

(3)

4

方法で製造されたものである。

【0021】(14) 本発明に係る回路基板には、上記半導体装置が搭載されている。

【0022】(15) 本発明に係る電子機器は、上記半導体装置を有する。

【0023】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。

【0024】図1～図3(C)は、本発明を適用した実施の形態に係るバンプの形成方法を示す図である。本実施の形態では、半導体チップにバンプを形成する例を説明するが、本発明に係るバンプの形成方法は、これに限定されるものではなく、配線パターンにバンプを形成するときに適用してもよい。その場合、配線パターンのランドがパッドに相当する。

【0025】本実施の形態では、図1に示すように、半導体チップ10を用意する。半導体チップ10は、複数のパッド12を有する。パッド12は、半導体チップ10の内部に形成された集積回路の電極となる。パッド12は、半導体チップ10の端部に並んでいても、半導体チップ10の中央部に並んでいても良い。また、パッド12は、半導体チップの10が矩形をなすときに平行な2辺の端部に沿って並んでいても、4辺の端部に並んでいても良い。各パッド12は、半導体チップ10に薄く平らに形成されていることが多いが、側面又は縦断面の形状は限定されず、半導体チップ10の面と面一になつていてもよい。パッド12は例えばアルミニウムなどで形成される。また、パッド12の平面形状も特に限定されず、円形であっても矩形であってもよい。パッド12の一部を避けて半導体チップ10には、パッシベーション膜14が形成されていることが多い。詳しくは、パッシベーション膜14は、パッド12の外周端部を覆って形成され、パッド12の中央部に開口部が形成されてなる。パッシベーション膜14は、例えば、SiO₂、SiN、ポリイミド樹脂などで形成することができる。

【0026】あるいは、一般的なパッシベーション膜14とは異なる絶縁層を、半導体チップ10におけるパッド12を有する面に設けてもよい。その絶縁層は、半導体チップ10を保護し、実装時のハンダを溶融するときの耐熱性も有することが好ましい。絶縁層は、半導体装置が回路基板に実装されたときに、半導体チップと、実装される回路基板との熱膨張係数の差によって生じる応力を緩和できる程度にヤング率が低いことが好ましい。そのためには、絶縁層を、例えばポリイミド樹脂で形成してもよい。また、絶縁層の厚さは必要に応じて自由に決めることができる。

【0027】(第1工程) 図2(A)に示すように、パッド12上に、図示しない第1の溶液を使用して、金属皮膜16を形成する。例えば、パッド12がアルミニウムで形成されている場合には、第1の溶液を使用して、

50

(4)

5

パッド12上にジンケート処理を施してアルミニウム上の表面を亜鉛に置換析出させる。こうして、亜鉛からなる金属皮膜16を形成する。ここで使用される第1の溶液は、アルカリ性(pH7以上)であり、アルカリ性が高く(強アルカリ)てもよい。アルカリ性の溶液は、後述するレジスト層20を溶解する。しかし、本実施の形態では、第1の溶液を使用するときにはレジスト層20が形成されていないので、その溶解の問題が生じない。

【0028】必要であれば、図2(B)に示すように、金属皮膜16上に下地層18を形成する。下地層18は、薄く形成する。例えば、バッシベーション膜14の一部がパッド12の上に載っている場合、バッシベーション膜14の厚みを超えない厚みで下地層18を形成する。その工程では、後述する第2の溶液を使用した無電解メッキを適用してもよい。また、下地層18を、バンプを構成する金属層と同じ金属で形成してもよい。例えば、パッド12(金属薄膜16)を無電解ニッケルメッキ液(第2の溶液)中に浸し、亜鉛からなる金属薄膜16とニッケルの置換反応を経てニッケルを堆積して下地層18を形成してもよい。

【0029】(第2工程)図2(C)に示すように、レジスト層20を形成する。本実施の形態では、半導体チップ10のパッド12が形成された面にレジスト層20を形成する。レジスト層20は、アルカリ性の溶液に溶解される物質で形成してもよい。レジスト層20には、金属皮膜16もしくは下地層18の少なくとも一部を露出させる貫通穴22が形成されている。貫通穴22は、パッド12の外周を超えない平面形状で形成することができる。貫通穴22は、半導体チップ10の面に対して垂直に立ち上がる壁面にて形成されることが好ましい。こうすることで、垂直に立ち上がるバンプを形成することができる。

【0030】貫通穴22は、パッド12を覆ってレジスト層20を形成し、フォトリソグラフィ技術を適用して形成してもよい。すなわち、マスクを介して感光性のレジスト層20にエネルギーを照射、現像して貫通穴22を形成してもよい。このときに、レジスト層20はポジ型及びネガ型レジストであることを問わない。または、非感光性のレジスト層20をエッチングして貫通穴22を形成してもよい。

【0031】(第3工程)図3(A)に示すように、貫通穴22内に金属層24を形成する。貫通穴22は、パッド12の外周を超えない平面形状をなすので、金属層24はパッド12の上方に形成される。詳しくは、パッド12上に形成された金属皮膜16上、あるいはさらにその上に形成された下地層18上に、金属層24が形成される。

【0032】金属層24は、第2の溶液を使用した無電解メッキによって形成する。第2の溶液として無電解ニッケルメッキ液を使用し、金属薄膜16上、あるいは下

6

地層18上にニッケルを堆積して金属層24を形成する。ここで、第2の溶液として、上述した第1の溶液と比較してレジスト層20を溶解しにくいものを使用する。例えば、レジスト層20がアルカリ性の溶液に溶解される物質で形成されるときには、第2の溶液として、第1の溶液よりもアルカリ性が低いものを使用する。具体的には、第2の溶液は、弱アルカリであってもよいが、中性又は酸性の溶液が好ましい。酸性の溶液としてpH4程度のものを使用することができる。

【0033】こうすることで、レジスト層20を溶解させずに、あるいは溶解の進行を遅らせて、金属層24を形成することができる。貫通穴22の内側に金属層24を形成することができるので、貫通穴22の形状に応じて金属層24を形成することができる。そして、金属が等方成長する無電解メッキを適用しても、横(幅)方向への拡がりを抑えて高さ方向に金属層24を形成することができる。したがって、狭ピッチで複数のパッド12が形成されていても、隣同士のパッド12のショートを防止できるバンプを、それぞれのパッド12に形成することができる。

【0034】なお、金属層24は、ニッケル、金、ニッケル及び金の混合物のいずれかにより形成してもよい。また、金属層24は、単一層であっても複数層からなるものであってもよい。例えば、ニッケルからなる第1層の上に、金からなる第2層を設けてもよい。ニッケル層にさらに金層を形成するには、ニッケル層を無電解金メッキ液に浸せきして、ニッケル層の表面にさらに金層を形成する。金層を形成することで配線パターン等との電気的接続をさらに確実にすることができます。一般的に、ニッケルは金よりも短時間で析出させることができるので、金属層24の全てを金で形成するよりも、第1層(下層)をニッケルで形成し、第2層(上層又は表面層)を金で形成することが好ましい。

【0035】第1又は第2の溶液中に半導体チップ10を浸す場合に、半導体チップの裏面や側面を予め保護膜で覆ってもよい。また、第1又は第2溶液中に半導体チップ10を浸す間は光を遮断することが好ましい。これによって、溶液に半導体チップ10を浸したことによって起かる溶液中の電極間の電位変化を防止することができる。なお、本実施の形態で無電解メッキで使用した金属は、一例であって、これに限定されるものではなく、例えば銅を使用してもよい。

【0036】(第4工程)必要であれば、図3(B)に示すように、レジスト層20を除去する工程を含んでもよい。

【0037】以上の工程によって、図3(C)に示すように、半導体チップ10のそれぞれのパッド12に、金属層24からなるバンプを形成することができる。この半導体チップ10は、フリップチップとして、基板にフェースダウンボンディングすることができる。その場

(5)

7

合、基板に形成された配線パターン（ランド）と、金属層24からなるバンプと、を電気的に接続する。電気的接続には、異方性導電膜（A C F）や異方性導電ペースト（A C P）等の異方性導電材料を使用して、導電粒子をバンプと配線パターンとの間に介在させてもよい。あるいは、Au-Au、Au-Sn、ハンダなどによる金属接合や、絶縁樹脂の収縮力によって、バンプと配線パターン（特にランド）とを電気的に接続してもよい。

【0038】なお、本発明は、半導体ウエーハに形成されたパッドにバンプを形成するときに適用してもよい。すなわち、上述した実施の形態を半導体ウエーハ上において適用してもよい。

【0039】（半導体装置・回路基板・電子機器）図4は、本発明を適用した実施の形態に係る半導体装置を示す図である。図4に示す半導体装置1は、上述した金属層24からなるバンプがパッド12上に形成された半導体チップ10と、配線パターン32が形成された基板30と、複数の外部端子40と、を含む。

【0040】この例では、半導体チップ10は、基板30に対してフェースダウンボンディングされている。半導体チップ10と基板30とは、異方性導電材料34によって接着されている。そして、金属層（バンプ）24と配線パターン32とは、導電粒子によって電気的に接続されている。基板30には、複数の外部端子40が設けられている。外部端子40は、図示しないスルーホールなどを介して配線パターン32に電気的に接続されている。各外部端子40は、ハンダボールであってもよい。ハンダなどを印刷してリフロー工程を経て外部端子40を形成してもよい。外部端子40はハンダのほかに銅などによって形成してもよい。また、積極的に外部端子40を形成せずにマザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよい。この半導体装置は、いわゆるランドグリッドアレイ型の半導体装置である。

【0041】（変形例）図5は、上述した実施の形態の変形例に係るバンプの形成方法を説明する図である。図5に示す例では、図2（A）に示す工程を行った後に、下地層18を形成せずに、レジスト層20を形成する。

【0042】詳しくは、図2（A）に示す工程と同様に、電極12の表面のうち、パッシベーション膜14の開口部を介して露出した部分をジンケート液に浸漬して、亜鉛の金属皮膜16を置換形成する。そして、図5に示すように、レジスト層20を形成する。ここで、レジスト層20に形成される貫通穴22を、パッド12の周縁よりも内側であって、パッシベーション膜14の開口部よりも外側に形成することが好ましい。すなわち、パッド12の径（大きさ）Aと、パッシベーション膜14の開口部の径（大きさ）Bと、貫通穴22の径（大きさ）Cとが、 $B < C < A$ の関係を有することが好まし

8

い。こうすることで、パッド12上に形成された金属皮膜16の表面全体を、貫通穴22を介して露出させることができる。

【0043】その後、金属皮膜16が形成されたパッド12を、ニッケルメッキ液に浸漬し、亜鉛とニッケルの置換反応を経て、ニッケルのバンプを形成する。その工程は、下地層16がないことを除いて、図3（A）及び図3（B）に示す工程と同じである。また、必要があれば、ニッケルからなるバンプの上に金メッキを施してもよい。

【0044】この例を適用しても、上述した実施の形態と同様の効果を達成することができる。また、この例によれば、上述した $B < C < A$ の関係を有するので、置換形成した金属皮膜（亜鉛）16の一部がレジスト層20に覆われず、金属皮膜16の表面の全体上にバンプを形成することができる。したがって、バンプを形成した後に、アルカリ性の溶液でレジスト層20を剥離しても、金属皮膜（亜鉛）16はバンプ下にあって露出していないため溶解することができなく、薄い金属皮膜（亜鉛）16からアルカリ性の溶液が染み込んでパッド12を溶解することもない。

【0045】図6には、本実施の形態に係る半導体装置1を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には例えば銅などからなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置1の外部端子40とを機械的に接続することでそれらの電気的導通を図る。

【0046】そして、本発明を適用した半導体装置1を有する電子機器として、図7にはノート型パソコンコンピュータ2000、図8には携帯電話3000が示されている。

【図面の簡単な説明】

【図1】図1は、本発明を適用した実施の形態に係るバンプの形成方法を示す図である。

【図2】図2（A）～図2（C）は、本発明を適用した実施の形態に係るバンプの形成方法を示す図である。

【図3】図3（A）～図3（C）は、本発明を適用した実施の形態に係るバンプの形成方法を示す図である。

【図4】図4は、本発明を適用した実施の形態における半導体装置を示す図である。

【図5】図5は、本発明を適用した実施の形態の変形例に係るバンプの形成方法を示す図である。

【図6】図6は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図7】図7は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

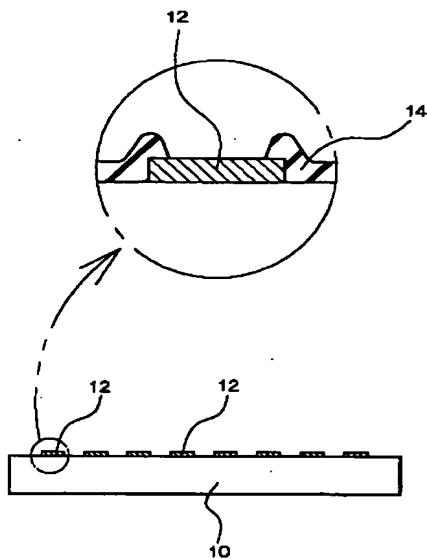
【図8】図8は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【符号の説明】

10 半導体チップ
12 バンプ
16 金属皮膜

18 下地層
20 レジスト層
22 貫通穴
24 金属層

【図1】

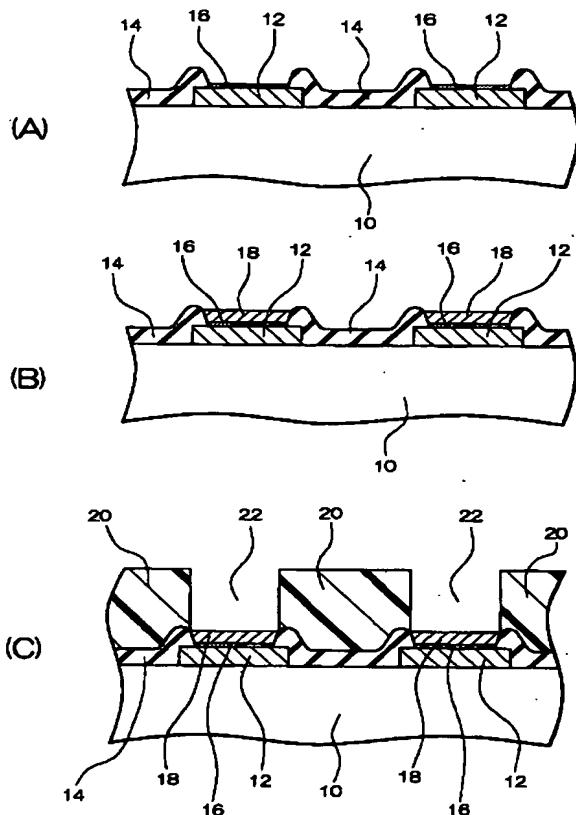


(6)

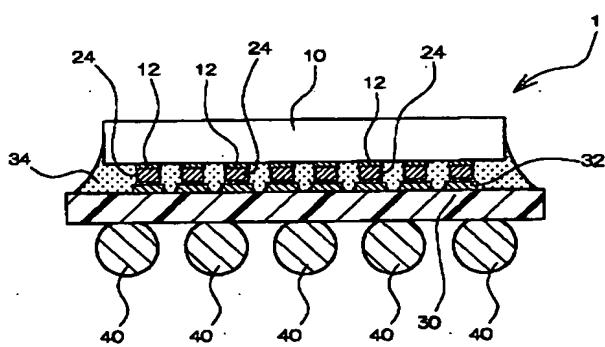
9

10

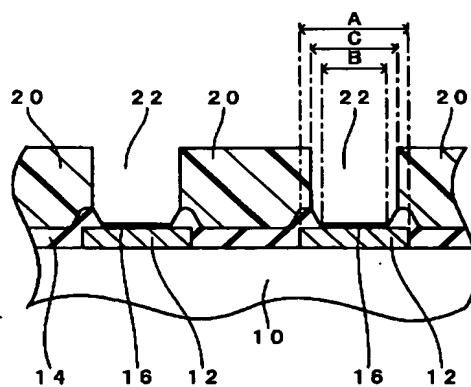
【図2】



【図4】

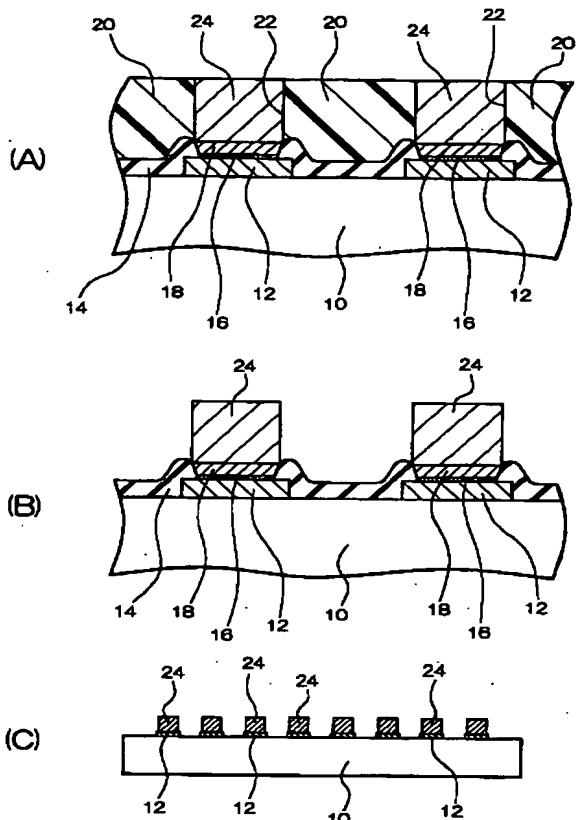


【図5】

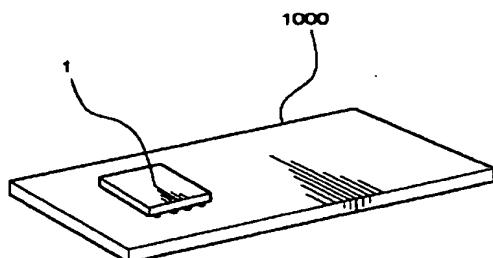


(7)

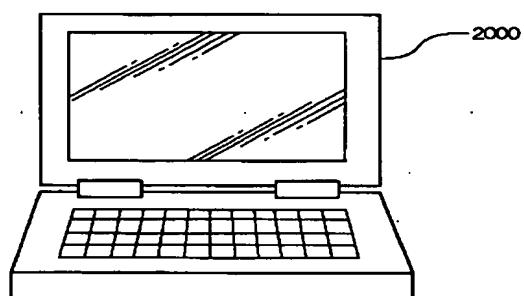
【図3】



【図6】



【図7】



【図8】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-148393

(43)Date of publication of application : 29.05.2001

(51)Int.CI.

H01L 21/60

(21)Application number : 11-329156

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 19.11.1999

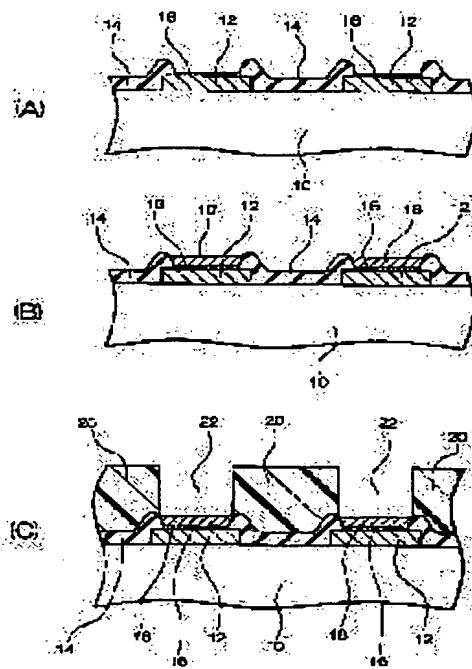
(72)Inventor : YODA TAKESHI

(54) BUMP FORMING METHOD, SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD, WIRING BOARD, AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To offer a bump forming method which can form a bump of a required width, a semiconductor device and its manufacturing method, a wiring board, and electronic equipment.

SOLUTION: This bump forming method includes a first process to form a metallic film 16 on a pad 12 by zincate treatment using a first strong alkaline solution, a second process to form a resist layer 20 with a through hole 22, through which the metallic film 16 is exposed, and a third process to form a metallic layer 24 in the through hole 22 by electroless plating using a second acid solution.



LEGAL STATUS

[Date of request for examination] 11.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The formation approach of the bump who has at least the 1st process which forms a metallic film on a pad with the 1st solution, the 2nd process which forms the resist layer in which the through hole to which said some of metallic films [at least] are exposed was formed, and the 3rd process which forms a metal layer in said through hole with the 2nd solution.

[Claim 2] It is the formation approach of the bump who has the property that said 2nd solution cannot dissolve said resist layer easily as compared with said 1st solution, by said 1st solution having the property of dissolving said resist layer, in the formation approach of a bump according to claim 1.

[Claim 3] The formation approach of the bump who forms said metal layer in the formation approach of a bump according to claim 1 or 2 after forming a substrate layer on said metallic film.

[Claim 4] The formation approach of the bump who forms said metal layer in either of claim 1 to claims 3 by two or more layers in the formation approach of the bump of a publication.

[Claim 5] The formation approach of the bump who forms said metal layer in either of claim 1 to claims 3 with either of the mixture of nickel, gold, nickel, and gold in the formation approach of the bump of a publication.

[Claim 6] The formation approach of the bump who forms said metal layer in either of claim 1 to claims 5 by electroless deposition in the formation approach of the bump of a publication.

[Claim 7] It is a bump's formation approach which it comes to form in the configuration in which said through hole does not exceed the periphery of said pad in the formation approach of a bump given in either of claim 1 to claims 6.

[Claim 8] It is a bump's formation approach that, as for said pad, the passivation film comes to cover a periphery edge in the formation approach of a bump according to claim 7, and come to form opening on the center section of said pad, and said passivation film is the inside [periphery / of said pad], and forms said through hole outside said opening of said passivation film.

[Claim 9] The formation approach of the bump who includes further the 4th process which removes said resist layer from claim 1 in the formation approach of the bump of a publication to either of claims 8.

[Claim 10] It is a bump's formation approach formed by the matter which said 1st solution has alkalinity higher than said 2nd solution in the formation approach of a bump given in either of claim 1 to claims 9, and is dissolved in an alkaline solution in said resist layer.

[Claim 11] It is the formation approach of the bump who the front face of said pad consists of aluminum in the formation approach of a bump according to claim 10, and uses said 1st solution at said 1st process, performs zincate processing to said aluminum, and forms said metallic film.

[Claim 12] The manufacture approach of the semiconductor device which includes the process which forms the bump containing said metal layer by the approach of a publication in either of claim 1 to claims 11.

[Claim 13] The semiconductor device manufactured by the approach according to claim 12.

[Claim 14] The circuit board in which the semiconductor device according to claim 13 was carried.

[Claim 15] Electronic equipment which has a semiconductor device according to claim 13.

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to electronic equipment at a bump's formation approach, a semiconductor device and its manufacture approach, and a circuit board list.

[0002]

[Background of the Invention] When forming a bump in aluminum pad of a semiconductor chip conventionally, metals, such as Au, were formed using electrolytic plating. However, electrolytic plating had the problem to which the formation process and etching process of a substrate electrode are needed, a process becomes complicated as a result, and cost also becomes high further. Then, the electroless deposition which is unnecessary in a substrate electrode attracts attention.

[0003] However, in electroless deposition, since a metal grew not only the height direction but crosswise (method growth of a grade is carried out), a bump's width of face was not able to exceed width of face of aluminum pad, and was not able to form a bump corresponding to aluminum pad of a ** pitch.

[0004] This invention is for solving this trouble, and that object is in providing with electronic equipment the formation approach of the bump who can form a bump by width of face [***], a semiconductor device and its manufacture approach, and a circuit board list.

[0005]

[Means for Solving the Problem] (1) The formation approach of the bump concerning this invention has at least the 1st process which forms a metallic film on a pad with the 1st solution, the 2nd process which forms the resist layer in which the through hole to which said some of metallic films [at least] are exposed was formed, and the 3rd process which forms a metal layer in said through hole with the 2nd solution.

[0006] According to this invention, a bump can be formed by forming a metallic film on a pad and forming a metal layer in a through hole. Since a metal layer is formed in the through hole of a resist layer, it is a configuration according to the magnitude of a through hole, namely, can be formed by desired width of face.

[0007] (2) It is the formation approach of the bump who has the property that said 2nd solution cannot dissolve said resist layer easily as compared with said 1st solution, by said 1st solution having the property of dissolving said resist layer, in this bump's formation approach.

[0008] According to this, the 1st solution which dissolves a resist layer is used at the 1st process, but since a resist layer is formed after the 1st process finishes, a problem does not produce it. At the 3rd process, since the 2nd solution which cannot dissolve a resist layer easily is used, a metal layer can be formed in a through hole.

[0009] (3) In this bump's formation approach, after forming a substrate layer on said metallic film, said

metal layer may be formed.

[0010] (4) In this bump's formation approach, said metal layer may be formed by two or more layers.

[0011] (5) In this bump's formation approach, said metal layer may be formed with either of the mixture of nickel, gold, nickel, and gold.

[0012] (6) In this bump's formation approach, said metal layer may be formed by electroless deposition.

[0013] (7) In this bump's formation approach, said through hole may be formed in the configuration which does not exceed the periphery of said pad.

[0014] By carrying out like this, a metal layer can be formed so that the periphery of a pad may not be exceeded. Therefore, a bump can be formed in each of two or more pads prepared in the ** pitch.

[0015] (8) In this bump's formation approach, as for said pad, it comes to cover a periphery edge with the passivation film, and it comes to form opening on the center section of said pad, and said passivation film is the inside [periphery / of said pad], and may form said through hole outside said opening of said passivation film.

[0016] (9) In this bump's formation approach, you may also include further the 4th process which removes said resist layer.

[0017] (10) In this bump's formation approach, said 1st solution has alkalinity higher than said 2nd solution, and may form said resist layer by the matter dissolved in an alkaline solution.

[0018] (11) In this bump's formation approach, the front face of said pad consists of aluminum, by said 1st electroless deposition, said 1st solution may be used and zincate processing to said aluminum may be performed.

[0019] (12) The manufacture approach of the semiconductor device concerning this invention is the above-mentioned approach, and includes the process which forms the bump containing said metal layer.

[0020] (13) The semiconductor device concerning this invention is manufactured by the above-mentioned approach.

[0021] (14) The above-mentioned semiconductor device is carried in the circuit board concerning this invention.

[0022] (15) The electronic equipment concerning this invention has the above-mentioned semiconductor device.

[0023]

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained with reference to a drawing.

[0024] Drawing 1 – drawing 3 (C) are drawings showing the formation approach of the bump concerning the gestalt of the operation which applied this invention. Although the gestalt of this operation explains the example which forms a bump in a semiconductor chip, the formation approach of the bump concerning this invention is not limited to this, and when forming a bump in a circuit pattern, it may be applied. In that case, the land of a circuit pattern is equivalent to a pad.

[0025] With the gestalt of this operation, as shown in drawing 1, a semiconductor chip 10 is prepared. A semiconductor chip 10 has two or more pads 12. A pad 12 serves as an electrode of the integrated circuit formed in the interior of a semiconductor chip 10. Even if the pad 12 is located in a line with the edge of a semiconductor chip 10, it may be located in a line with the center section of the semiconductor chip 10. Moreover, when 10 of a semiconductor chip makes a rectangle, even if the pad 12 is located in a line along the parallel edge of two sides, it may be located in a line with the edge of four sides. Although each pad 12 is thinly formed in the semiconductor chip 10 common in many cases, the configuration of a side face or the longitudinal section is not limited, but it may be flat-tapped with the field of a semiconductor chip 10. A pad 12 is formed with aluminum etc. Moreover, especially the flat-surface configuration of a pad 12 may not be limited, either, it may be circular, or you may be a rectangle. Some pads 12 are avoided and the passivation film 14 is formed in the semiconductor chip 10 in many cases. In detail, the passivation film 14 covers the periphery edge of a pad 12, and is formed, and it comes to form opening in the center section of the pad 12. The passivation film 14 can be formed

with SiO₂, SiN, polyimide resin, etc.

[0026] Or you may prepare in the field which has the pad [in / for an insulating layer which is different in the common passivation film 14 / a semiconductor chip 10] 12. As for the insulating layer, it is desirable to also have the thermal resistance when protecting a semiconductor chip 10 and fusing the pewter at the time of mounting. When a semiconductor device is mounted in the circuit board, as for an insulating layer, it is desirable that Young's modulus is low to extent which can ease the stress produced according to the difference of the coefficient of thermal expansion of a semiconductor chip and the circuit board mounted. For that purpose, an insulating layer may be formed with polyimide resin. Moreover, insulating layer thickness can be decided freely if needed.

[0027] (The 1st process) As shown in drawing 2 (A), on a pad 12, the 1st solution which is not illustrated is used and a metallic film 16 is formed. For example, when the pad 12 is formed with aluminum, the 1st solution is used, zincate processing is performed on a pad 12, and zinc is made to carry out the permutation deposit of the front face on aluminum. In this way, the metallic film 16 which consists of zinc is formed. The 1st solution used here is alkalinity (seven or more pH), and alkalinity of ** is [the solution] highly (strong base) good. An alkaline solution dissolves the resist layer 20 mentioned later. However, with the gestalt of this operation, since the resist layer 20 is not formed when using the 1st solution, the problem of the dissolution does not arise.

[0028] If required, as shown in drawing 2 (B), the substrate layer 18 will be formed on a metallic film 16. The substrate layer 18 is formed thinly. For example, when some passivation film 14 appears on the pad 12, the substrate layer 18 is formed by the thickness which does not exceed the thickness of the passivation film 14. At the process, the electroless deposition which used the 2nd solution mentioned later may be applied. Moreover, the substrate layer 18 may be formed with the same metal as the metal layer which constitutes a bump. For example, a pad 12 (metal thin film 16) is dipped into electroless-nickel-plating liquid (the 2nd solution), nickel is deposited through the substitution reaction of the metal thin film 16 which consists of zinc, and nickel, and the substrate layer 18 may be formed.

[0029] (The 2nd process) As shown in drawing 2 (C), the resist layer 20 is formed. The resist layer 20 is formed in the field in which the pad 12 of a semiconductor chip 10 was formed with the gestalt of this operation. The resist layer 20 may be formed by the matter dissolved in an alkaline solution. The through hole 22 to which a part of metallic film 16 or substrate layer [at least] 18 is exposed is formed in the resist layer 20. As for a through hole 22, it is desirable to form in the flat-surface configuration which does not exceed the periphery of a pad 12. As for a through hole 22, it is desirable to be formed on the wall surface which starts vertically to the field of a semiconductor chip 10. The bump who stands up vertically can be formed by carrying out like this.

[0030] A through hole 22 may cover a pad 12, may form the resist layer 20, and may form it with the application of a photolithography technique. That is, a mask may be minded, energy may be irradiated and developed in the photosensitive resist layer 20, and a through hole 22 may be formed. At this time, it does not ask that the resist layers 20 are a positive type and negative resist. Or the nonphotosensitivity resist layer 20 may be etched and a through hole 22 may be formed.

[0031] (The 3rd process) As shown in drawing 3 (A), the metal layer 24 is formed in a through hole 22. Since a through hole 22 makes the flat-surface configuration which does not exceed the periphery of a pad 12, the metal layer 24 is formed above a pad 12. In detail, the metal layer 24 is formed on the substrate layer 18 further formed on it on the metallic film 16 formed on the pad 12.

[0032] The metal layer 24 is formed by the electroless deposition which used the 2nd solution. Electroless-nickel-plating liquid is used as the 2nd solution, on the metal thin film 16 or the substrate layer 18, nickel is deposited and the metal layer 24 is formed. Here, what cannot dissolve the resist layer 20 easily as the 2nd solution as compared with the 1st solution mentioned above is used. For example, when the resist layer 20 is formed by the matter dissolved in an alkaline solution, what has alkalinity lower than the 1st solution is used as the 2nd solution. Although the 2nd solution may be weak alkali, specifically, its neutral or acid solution is desirable. A with a pH of about four thing can be used as an

acid solution.

[0033] By carrying out like this, without dissolving the resist layer 20, progress of the dissolution can be delayed and the metal layer 24 can be formed. Since the metal layer 24 can be formed inside a through hole 22, the metal layer 24 can be formed according to the configuration of a through hole 22. And even if it applies the electroless deposition which grows directions [metal], the flare to the direction of width (width of face) can be stopped, and the metal layer 24 can be formed in the height direction. Therefore, even if two or more pads 12 in a ** pitch are formed, the bump who can prevent the short circuit of the pad 12 of next doors can be formed in each pad 12.

[0034] In addition, the metal layer 24 may be formed with either of the mixture of nickel, gold, nickel, and gold. Moreover, the metal layer 24 may be a monolayer or may consist of two or more layers. For example, the 2nd layer which consists of gold may be prepared on the 1st layer which consists of nickel. In order to form a gold layer in a nickel layer further, the dipping of the nickel layer is carried out to non-electrolyzed liquid gilding, and a gold layer is further formed in the front face of a nickel layer. Electrical installation with a circuit pattern etc. can be made still more reliable by forming a gold layer. Generally, since nickel can be deposited rather than gold for a short time, it is more desirable to form the 1st layer (lower layer) with nickel, and to form the 2nd layer (the upper layer or surface layer) with gold rather than forming all the metal layers 24 with gold.

[0035] When dipping a semiconductor chip 10 into the 1st or 2nd solution, the rear face and side face of a semiconductor chip may be beforehand covered by the protective coat. Moreover, it is desirable to intercept light, while dipping a semiconductor chip 10 into the 1st or 2nd solution. An inter-electrode potential change in the solution which happens by having dipped the semiconductor chip 10 in the solution by this can be prevented. In addition, the metal used by electroless deposition with the gestalt of this operation is an example, it is not limited to this and copper may be used for it.

[0036] (The 4th process) As long as it is required, as shown in drawing 3 (B), you may also include the process which removes the resist layer 20.

[0037] According to the above process, as shown in drawing 3 (C), the bump who becomes each pad 12 of a semiconductor chip 10 from the metal layer 24 can be formed. Face down bonding of this semiconductor chip 10 can be carried out to a substrate as a flip chip. In that case, the circuit pattern (land) formed in the substrate and the bump who consists of a metal layer 24 are connected electrically. Anisotropy electrical conducting materials, such as anisotropy electric conduction film (ACF) and anisotropy conductive paste (ACP), may be used for electrical installation, and an electric conduction particle may be made to intervene between a bump and a circuit pattern. Or a bump and a circuit pattern (especially land) may be electrically connected according to the metal junction by Au-Au, Au-Sn, a pewter, etc., and the shrinkage force of insulating resin.

[0038] In addition, this invention may be applied when forming a bump in the pad formed in the semiconductor wafer. That is, the gestalt of operation mentioned above may be applied on a semiconductor wafer.

[0039] (A semiconductor device, the circuit board, and electronic equipment) Drawing 4 is drawing showing the semiconductor device concerning the gestalt of the operation which applied this invention. The semiconductor device 1 shown in drawing 4 contains the semiconductor chip 10 with which the bump who consists of a metal layer 24 mentioned above was formed on the pad 12, the substrate 30 with which the circuit pattern 32 was formed, and two or more external terminals 40.

[0040] In this example, face down bonding of the semiconductor chip 10 is carried out to the substrate 30. The semiconductor chip 10 and the substrate 30 are pasted up with the anisotropy electrical conducting material 34. And the metal layer (bump) 24 and the circuit pattern 32 are electrically connected by the electric conduction particle. Two or more external terminals 40 are formed in the substrate 30. The external terminal 40 is electrically connected to the circuit pattern 32 through the through hole which is not illustrated. Each external terminal 40 may be a pewter ball. A pewter etc. may be printed and the external terminal 40 may be formed through a reflow process. The external terminal

40 may be formed with copper etc. other than a pewter. Moreover, the pewter cream applied to a mother board side at the time of mother board mounting, without forming the external terminal 40 positively may be used, and an external terminal may be formed as a result with the surface tension at the time of the melting. This semiconductor device is the so-called land grid array type of semiconductor device.

[0041] (Modification) Drawing 5 is drawing explaining the formation approach of the bump concerning the modification of the gestalt of operation mentioned above. In the example shown in drawing 5 R> 5, after performing the process shown in drawing 2 (A), the resist layer 20 is formed, without forming the substrate layer 18.

[0042] In detail, like the process shown in drawing 2 (A), the part exposed through opening of the passivation film 14 among the front faces of an electrode 12 is immersed in zincate liquid, and permutation formation of the zincy metallic film 16 is carried out. And as shown in drawing 5, the resist layer 20 is formed. It is desirable to be the inside [periphery / of a pad 12] and to form the through hole 22 formed in the resist layer 20 outside opening of the passivation film 14 here. That is, it is desirable that the path (magnitude) A of a pad 12, the path (magnitude) B of opening of the passivation film 14, and the path (magnitude) C of a through hole 22 have the relation of $B < C < A$. By carrying out like this, the whole front face of the metallic film 16 formed on the pad 12 can be exposed through a through hole 22.

[0043] Then, the pad 12 with which the metallic film 16 was formed is immersed in nickel-plating liquid, and the bump of nickel is formed through the substitution reaction of zinc and nickel. The process is the same as the process shown in drawing 3 (A) and drawing 3 (B) except for there being no substrate layer 16. Moreover, as long as there is need, you may gold-plate on the bump who consists of nickel.

[0044] Even if it applies this example, the same effectiveness as the gestalt of operation mentioned above can be attained. Moreover, since it has the relation of $B < C < A$ mentioned above according to this example, some metallic films (zinc) 16 which carried out permutation formation are not covered with the resist layer 20, but it can form a bump on the whole front face of a metallic film 16. Therefore, after forming a bump, even if it exfoliates the resist layer 20 with an alkaline solution, since are and it has not exposed to the bottom of a bump, a metallic film (zinc) 16 does not dissolve, and an alkaline solution sinks in from the thin metallic film (zinc) 16, and it does not dissolve a pad 12.

[0045] The circuit board 1000 which mounted the semiconductor device 1 concerning the gestalt of this operation in drawing 6 is shown. It is common to the circuit board 1000 to use organic system substrates, such as for example, a glass epoxy group plate. Those electric flows are aimed at by being formed so that the circuit pattern which becomes the circuit board 1000 from copper etc. may serve as a desired circuit, and connecting mechanically those circuit patterns and external terminals 40 of a semiconductor device 1.

[0046] And the cellular phone 3000 is shown in the note type personal computer 2000 and drawing 8 at drawing 7 as electronic equipment which has the semiconductor device 1 which applied this invention.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is drawing showing the formation approach of the bump concerning the gestalt of the operation which applied this invention.

[Drawing 2] Drawing 2 (A) – drawing 2 (C) are drawings showing the formation approach of the bump concerning the gestalt of the operation which applied this invention.

[Drawing 3] Drawing 3 (A) – drawing 3 (C) are drawings showing the formation approach of the bump concerning the gestalt of the operation which applied this invention.

[Drawing 4] Drawing 4 is drawing showing the semiconductor device in the gestalt of the operation which applied this invention.

[Drawing 5] Drawing 5 is drawing showing the formation approach of the bump concerning the modification of the gestalt of the operation which applied this invention.

[Drawing 6] Drawing 6 is drawing showing the circuit board in which the semiconductor device concerning the gestalt of this operation was mounted.

[Drawing 7] Drawing 7 is drawing showing the electronic equipment which has a semiconductor device concerning the gestalt of this operation.

[Drawing 8] Drawing 8 is drawing showing the electronic equipment which has a semiconductor device concerning the gestalt of this operation.

[Description of Notations]

10 Semiconductor Chip

12 Bump

16 Metallic Film

18 Substrate Layer

20 Resist Layer

22 Through Hole

24 Metal Layer

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.